

Family list

1 application(s) for: **JP2003257992**

1 METHOD FOR MANUFACTURING THIN FILM TRANSISTOR

Inventor: MASHITA SHUNJI

Applicant: MATSUSHITA ELECTRIC IND CO
LTD

EC:

IPC: *G02F1/1368; H01L21/265; H01L21/336;*
(+8)

Publication **JP2003257992 (A)** - 2003-09-12
info:

Priority Date: 2002-03-06

Data supplied from the **espacenet** database — Worldwide

METHOD FOR MANUFACTURING THIN FILM TRANSISTOR

Patent number: JP2003257992 (A)

Publication date: 2003-09-12

Inventor(s): MASHITA SHUNJI +

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD +

Classification:

- international: G02F1/1368; H01L21/265; H01L21/336; H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): G02F1/1368; H01L21/265; H01L21/336; H01L29/786

- european:

Application number: JP20020059925 20020306

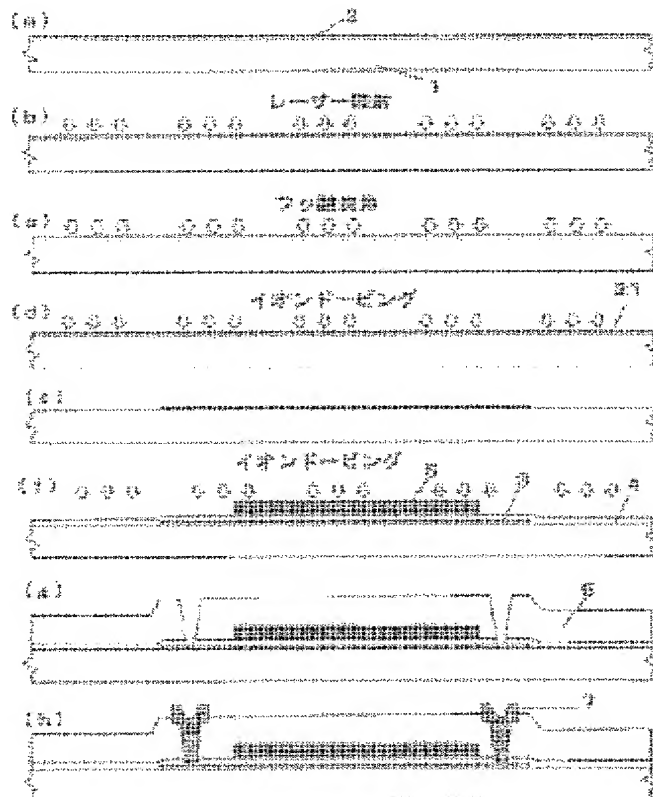
Priority number(s): JP20020059925 20020306

Abstract of JP 2003257992 (A)

PROBLEM TO BE SOLVED: To reduce the fluctuation of the shift of the threshold voltage of a thin film transistor due to channel dope. ;

SOLUTION: In a method for manufacturing a thin film transistor for directly injecting impurity to the channel area of a polycrystal silicon thin film semiconductor layer, a process for washing with hydrofluoric acid is introduced before a process for injecting impurity to the channel area so that any impurity entering the channel area due to air pollution can be reduced, and that the fluctuation of a threshold voltage accompanied by the formation of a channel dope area 21 can be suppressed. ;

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-257992
(P2003-257992A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/336		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 29/78	6 1 8 Z 5 F 1 1 0
H 0 1 L 21/265		21/265	Z
29/786			

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2002-59925 (P2002-59925)

(22) 出願日 平成14年3月6日 (2002.3.6)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 真下 俊次

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

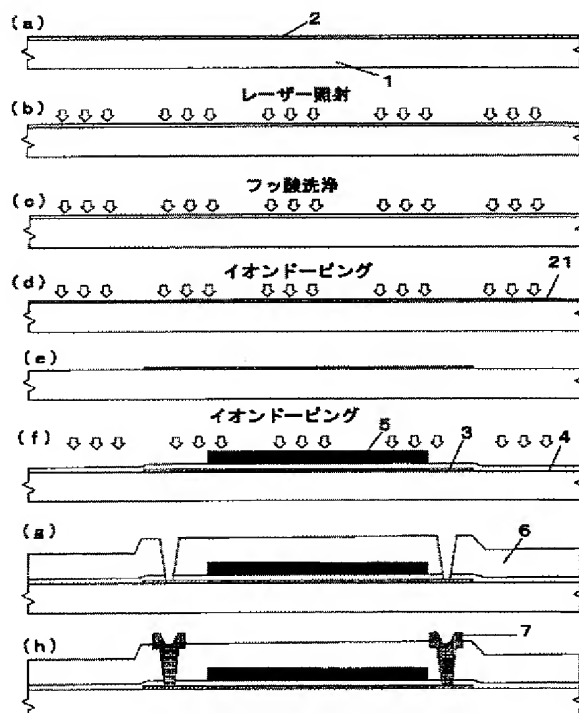
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【課題】 チャネルドープによる薄膜トランジスタのしきい値電圧のシフトのバラツキを抑える。

【解決手段】 多結晶シリコン薄膜半導体層のチャネル領域に、直接不純物を注入する薄膜トランジスタの製造方法において、上記チャネル領域へ不純物を注入する工程の前に、フッ酸で洗浄する工程を導入することによって、大気中の汚染によって上記チャネル領域へ入りこんでいる不純物が減少して、チャネルドープ領域 21 形成に伴うしきい値電圧のシフトのバラツキを抑えた薄膜トランジスタの製造方法を提供する。



【特許請求の範囲】

【請求項 1】 表面が絶縁性の基板上に形成した多結晶シリコン薄膜半導体層のチャネル領域に、直接不純物を注入する薄膜トランジスタの製造方法において、前記チャネル領域へ不純物を注入する工程の前に、前記チャネル領域をフッ酸で洗浄する工程を有することを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 前記チャネル領域をフッ酸で洗浄する工程が、多結晶シリコン薄膜半導体層の表面が撥水するまで洗浄することを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置やイメージセンサ等に応用される薄膜トランジスタに関する。

【0002】

【従来の技術】近年、家庭用ビデオカメラのビューファインダーやノート型パソコンなどに液晶表示装置が搭載されているが、これらの液晶表示装置の中でも高画質表示が可能なアクティブマトリックス型液晶表示装置が特に注目されている。このアクティブマトリックス型液晶表示装置には、画素電極のスイッチング素子として、薄膜トランジスタ（Thin Film Transistor：以下、TFTと略記する）がよく用いられている。

【0003】このような従来のTFTの例が、論文AM-LCD '95 Digest pp-15-18, 1995に記載されている。従来のTFTの一例として図2に示すようなTFTについて、以下に説明する。

【0004】まず、ガラス基板1上に、半導体層2の前駆体として例えば非晶質シリコン層を形成し（図2

（a））、次に熱処理・レーザー照射により半導体層2として多結晶シリコン層を形成する（図2（b））。その後、フォトリソグラフィ法とエッチングを用いて、上記半導体層2を島状に加工する（図2（c））。次に、上記半導体層2上にゲート絶縁層4を形成してから、例えばイオンドーピング法を用いて、上記半導体層2のチャネル領域に直接不純物を注入しチャネルドープ領域21を形成する（図2（d））。その後、上記ゲート絶縁層4の上にゲート電極5を形成し加工する。そして、例えばイオンドーピング法を用いて半導体層2の一部領域にソース・ドレイン領域3を形成する（図2

（e））。更に、層間絶縁層6、コンタクトホールを形成した（図2（f））後、ソース・ドレイン電極7を形成し（図2（g））、TFTが完成する。

【0005】以上のように構成された従来のTFTにおいては、チャネルドープ領域21に用いる不純物として例えばホウ素等が用いられている。

【0006】

【発明が解決しようとする課題】しかしながら、上記のような構成のトランジスタでは、半導体層のチャネル領域に直接不純物を注入してチャネルドープ領域を形成する工程（以降、チャネルドープと略記する）の前に、半導体層が大気中で汚染されるため、チャネルドープの際には、上記汚染による多量の不純物（以降、汚染不純物と略記する）が上記チャネル領域に存在して、上記チャネルドープ領域の形成によるTFTのしきい値電圧のシフトが大きくなり、上記チャネルドープによる上記しきい値電圧のシフトのバラツキが大きくなってしまいう課題を有していた。

【0007】これは、チャネルドープを行う前に、半導体層が大気中で汚染されて、大気中にある不純物が上記半導体層のチャネル領域へ多量に入りこんでいるために、チャネルドープ領域を形成する時には、上記チャネル領域で、上記チャネルドープで注入される不純物と多量の汚染不純物とが混在しており、その結果、上記チャネルドープによって生じるTFTのしきい値電圧のシフトが汚染不純物により大きくなり、かつ、上記汚染不純物による上記シフトの大きさのバラツキが大きくなるので、上記チャネルドープによる上記しきい値電圧のシフトのバラツキが大きくなるのが原因であった。

【0008】本発明はかかる点に鑑み、チャネルドープによるしきい値電圧のシフトのバラツキを抑えた薄膜トランジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明は、多結晶シリコン薄膜半導体層のチャネル領域へ直接不純物を注入する工程の前に、フッ酸で洗浄する工程を導入することを特徴とする薄膜トランジスタである。

【0010】それにより、半導体層のチャネル領域に直接不純物を注入してチャネルドープ領域を形成する工程の前にフッ酸で洗浄する工程を導入することで、大気中の汚染によって上記半導体層のチャネル領域へ入りこんでいる不純物が減少して、チャネルドープ領域の形成に伴うTFTのしきい値電圧のシフトが小さくなり、チャネルドープによる上記しきい値電圧のシフトのバラツキを抑えることができる。

【0011】

【発明の実施の形態】本発明の請求項1に記載の発明は、表面が絶縁性の基板上に形成した多結晶シリコン薄膜半導体層のチャネル領域に、直接不純物を注入する薄膜トランジスタの製造方法において、上記チャネル領域へ不純物を注入する工程の前に、フッ酸で洗浄する工程を導入することを特徴とする薄膜トランジスタの製造方法としたものであり、これは大気中の汚染によって上記多結晶シリコン薄膜半導体層のチャネル領域へ入りこんでいる不純物が減少して、チャネルドープ領域の形成に伴うTFTのしきい値電圧のシフトが小さくなり、チャ

ネルドープによる上記しきい値電圧のシフトのバラツキを抑えた薄膜トランジスタを作製できるという作用を有する。

【0012】本発明の請求項2に記載の発明は、フッ酸で洗浄する工程が多結晶シリコン薄膜半導体層の表面が撥水するまで洗浄する工程であることを特徴とする請求項1に記載の薄膜トランジスタの製造方法としたものであり、これは、上記多結晶シリコン層の大気中の汚染により上記多結晶シリコン層上に自然に形成された上記多結晶シリコン層の酸化膜が除去されて、かつ上記汚染により多量に大気中から上記酸化膜と上記多結晶シリコン層のチャネル領域へ入りこんでいる不純物が減少して、チャネルドープによるしきい値電圧のシフトのバラツキを抑えた薄膜トランジスタを作製できるという作用を有する以下本発明の実施の形態について、図1を用いて説明する。

【0013】（実施の形態1）まず、ガラス基板1上に、半導体層2の前駆体として、プラズマCVD法により膜厚50nmの非晶質シリコン層を成膜し（図1

（a））、450℃で1時間の熱処理により上記非晶質シリコン層中の水素含有量を減少させる。これは、次の結晶化工程で水素が突沸してシリコン層が損傷するのを防ぐためである。そして、例えば波長308nmのXeClレーザを300mJ/cm²程度のエネルギー密度で照射し、結晶化させて半導体層2として多結晶シリコン層を形成する（図1（b））。その後、上記多結晶シリコン層の表面が撥水するまでフッ酸洗浄を行う（図1（c））。

【0014】次に、アクセプターとなるホウ素を上記多結晶シリコン層のチャネル領域に直接注入して、チャネルドープ領域21を形成する（図1（d））。この時、例えばイオン・ドーピング法を用いて上記ホウ素を注入することにより、その後400℃程度の熱処理によって十分に上記ホウ素等の不純物を活性化することができる。ここで、イオンドーピング法とは、例えば高周波放電プラズマを使いガスを分解し、少なくとも注入すべき元素を含むイオンを生成して、上記イオンに対し質量分離を伴わない加速電圧をかけることにより、上記イオンを加速し活性半導体薄層に導入する方法であり、上記ホウ素は、上記イオンドーピング法のガスとして水素ガスで希釈したボロンガスを使用している。

【0015】ここで、子細に検討した結果、図3・図4に示すような結果が得られた。まず、多結晶シリコン層を形成した後、ホウ素を上記多結晶シリコン層のチャネル領域に直接注入し、チャネルドープ領域を形成する条件で作成した薄膜トランジスタ（以降、フッ酸洗浄無しTFETと略記する）、及び上記多結晶シリコン層を形成した後、フッ酸洗浄を上記多結晶シリコン層の表面が撥水するまで行って、次にホウ素を上記多結晶シリコン層のチャネル領域に直接注入し、チャネルドープ領域を形

成する条件で作成した薄膜トランジスタ（以降、フッ酸洗浄有りTFETと略記する）を作成した。図3は、フッ酸洗浄無しTFETとフッ酸洗浄有りTFETの間でチャネルドープによるしきい値電圧のシフト量のバラツキを比較した図を示す。また、図4は、チャネルドープ領域を形成する前にフッ酸洗浄を行わなかった場合とフッ酸洗浄を行った場合に於ける半導体層表面の状態を模式的に比較した図を示す。

【0016】図3に示されているように、フッ酸洗浄無しTFETでは、上記しきい値電圧のシフト量は4.9Vの範囲内で大きなバラツキが見られたのに対して、フッ酸洗浄有りTFETでは、上記しきい値電圧のシフト量は1.9Vの範囲内でバラツキが小さく見られた。その理由としては、フッ酸洗浄無しTFETでは、多結晶シリコン層の形成後、上記多結晶シリコン層が大気中で汚染されている、即ち上記多結晶シリコン層の上に自然に上記多結晶シリコン層の酸化膜が形成され、かつ大気中の不純物が上記酸化膜と上記多結晶シリコン層のチャネル領域へ多量に入りこんでいる（図4（a））ので、次の上記チャネルドープ領域を形成する際には、上記チャネル領域で上記チャネルドープ領域形成で注入される不純物と多量の上記汚染で入りこんだ不純物とが混在しており、その結果、上記チャネルドープによって生じるTFETのしきい値電圧のシフトが汚染不純物により大きくなり、かつ、上記汚染不純物による上記シフトの大きさのバラツキが大きくなるので、上記チャネルドープによる上記しきい値電圧のシフトのバラツキが大きくなる。

【0017】これに対して、フッ酸洗浄有りTFETでは、上記多結晶シリコン層の形成後、上記多結晶シリコン層が大気中で汚染されている、即ち上記多結晶シリコン層の上に自然に上記多結晶シリコン層の酸化膜が形成され、かつ大気中の不純物が上記酸化膜と上記多結晶シリコン層のチャネル領域へ多量に入りこんでいるが、上記多結晶シリコン層表面が撥水するまでフッ酸洗浄を行うことにより、上記酸化膜が除去され、かつ多量に上記チャネル層へ入りこんでいた不純物が減少する（図4

（b））ので、次の上記チャネルドープ領域を形成する際には、上記チャネル領域で上記チャネルドープ領域形成で注入される不純物と少量の上記汚染で入りこんだ不純物とが混在しており、その結果、汚染不純物の影響をほとんど受けないために、上記チャネルドープによって生じるTFETのしきい値電圧のシフトは小さくなり、かつ、上記汚染不純物による上記シフトの大きさのバラツキが小さくなるので、上記チャネルドープによる上記しきい値電圧のシフトのバラツキが小さくなることが挙げられる。

【0018】次に、子細に検討した結果、図には示していないが、次のような結果が得られた。多結晶シリコン層を形成した後、フッ酸洗浄を行って、次にホウ素を上記多結晶シリコン層のチャネル領域に直接注入し、チャ

ネルドープ領域を形成する条件で作成した薄膜トランジスタに於いて、上記フッ酸洗浄を上記多結晶シリコン層の表面が撥水しない所まで行ったTFET（以降、p-Si層表面撥水無しTFETと略記する）と上記多結晶シリコン層の表面が撥水する所まで行ったTFET（以降、p-Si層表面撥水有りTFETと略記する）を作製した。p-Si層表面撥水無しTFETでは、チャネルドープによるしきい値電圧のシフト量では大きなバラツキが見られたのに対して、p-Si層表面撥水有りTFETでは、上記しきい値電圧のシフト量ではバラツキが小さく見られた。その理由として、p-Si層表面撥水無しTFETでは、上記多結晶シリコン層の形成後、上記多結晶シリコン層が大気中で汚染されている、即ち上記多結晶シリコン層の上に自然に上記多結晶シリコン層の酸化膜が形成され、かつ大気中の不純物が上記酸化膜と上記多結晶シリコン層のチャネル領域へ多量に入りこんでいるが、上記多結晶シリコン層表面が撥水しない所までしかフッ酸洗浄を行わないことにより、上記酸化膜が完全には除去されないで、かつ多量に上記チャネル層へ入りこんでいた不純物が大きく減少しないので、次の上記チャネルドープ領域を形成する際には、上記チャネル領域に於いて上記チャネルドープ領域形成で注入される不純物とかなり多量に残っている上記汚染で入りこんだ不純物とが混在しており、その結果、上記チャネルドープによって生じるTFETのしきい値電圧のシフトはかなり大きく、かつ、上記汚染不純物による上記シフトの大きさのバラツキがかなり大きいので、上記チャネルドープによる上記しきい値電圧のシフトのバラツキがかなり大きくなる。

【0019】これに対して、p-Si層表面撥水有りTFETでは、上記多結晶シリコン層の形成後、上記多結晶シリコン層が大気中で汚染されている、即ち上記多結晶シリコン層の上に自然に上記多結晶シリコン層の酸化膜が形成され、かつ大気中の不純物が上記酸化膜と上記多結晶シリコン層のチャネル領域へ多量に入りこんでいるが、上記多結晶シリコン層表面が撥水するまでフッ酸洗浄を行うことにより、上記酸化膜が完全に除去され、かつ多量に上記チャネル層へ入りこんでいた不純物が大きく減少するので、次の上記チャネルドープ領域を形成する際には、上記チャネル領域で上記チャネルドープ領域形成で注入される不純物と少量の上記汚染で入りこんだ不純物とが混在しており、その結果、汚染不純物の影響をほとんど受けないために、上記チャネルドープによって生じるTFETのしきい値電圧のシフトは小さくなり、かつ、上記汚染不純物による上記シフトの大きさのバラツキが小さくなるので、上記チャネルドープによる上記しきい値電圧のシフトのバラツキが小さくなることが挙げられる。

【0020】この際、上記p-Si層表面撥水無しTFETと上記p-Si層表面撥水有りTFETに於いて、フ

ッ酸洗浄を上記多結晶シリコン層の表面が撥水しない所まで行ったか、又は上記フッ酸洗浄を上記表面が撥水する所まで行ったかの確認は、上記p-Si層表面撥水無しTFETと上記p-Si層表面撥水有りTFETの作製工程内に於けるゲート絶縁膜の形成工程の前に、上記多結晶シリコン層の接触角を測定する方法を用いて行なった。従って、上記半導体層表面が撥水するまで行うフッ酸洗浄の条件として、フッ酸濃度が低い条件で洗浄した上記半導体層を持つ薄膜トランジスタは、大気中の汚染によって上記半導体層のチャネル領域へ入りこんでいる不純物が減少して、チャネルドープ領域の形成に伴うTFETのしきい値電圧のシフトが小さくなり、チャネルドープによる上記しきい値電圧のシフトのバラツキを抑えることができる。

【0021】次に、フォトリソグラフィおよびエッチングを用いて上記半導体層2を島状に加工する（図1（e））。そして上記半導体層2の上に、ゲート絶縁層4として、例えば正珪酸エチル（ $\text{Si}(\text{OC}_2\text{H}_5)_4$ 、テトラエトキシシラン）を含むガスを用いたプラズマCVD法により膜厚100nmの SiO_2 を形成する。次に、ゲート電極5として膜厚200nmのTaをスパッタ法により成膜し、フォトリソグラフィおよびエッチングを用いて加工する。次に、ゲート電極5をマスクとして、ドナーとなる燐を半導体層2の一部領域に注入しソース・ドレイン領域3を形成する。この時、例えばイオン・ドーピング法を用いてドナーとなる燐を注入することで、その後の400℃程度の熱処理によって十分に上記の燐等の不純物を活性化することができる。ここで、上記の燐は、上記イオンドーピング法のガスとして水素ガスで希釈したホスフィンガスを使用している。

（図1（f））そして、層間絶縁層6として例えば常圧CVD法により膜厚300nmの SiO_2 を形成した後、フォトリソグラフィおよびエッチングによってコンタクトホールを形成する（図1（g））。さらに、ソース・ドレイン電極7として例えば膜厚700nmのTiを成膜し、加工して薄膜トランジスタが完成する（図1（h））。

【0022】以上のように構成されたこの実施の形態1の薄膜トランジスタには、次の効果がある。表面が絶縁性の基板上に形成した多結晶シリコン薄膜半導体層のチャネル領域に、直接不純物を注入する薄膜トランジスタにおいて、上記チャネル領域へ不純物を注入する工程の前に、フッ酸で洗浄する工程を導入することにより、大気中の汚染によって上記半導体層のチャネル領域へ入りこんでいる不純物が減少して、チャネルドープ領域の形成に伴うTFETのしきい値電圧のシフトが小さくなり、チャネルドープによるしきい値電圧のシフトのバラツキを抑えた薄膜トランジスタが得られる。

【0023】なお、実施の形態1では、チャネルドープ領域を形成するアクセプターとしてホウ素を用いたが、

これはチャネルドープ領域を形成できてアクセプターやドナーとして働くものならば何でもよく、アクセプターとしてはアルミニウム等やドナーとしては燐や砒素等でもよい。

【0024】なお、実施の形態1では、フッ酸洗浄とチャネルドープ領域形成の工程位置として半導体層の前駆体の結晶化工程の次にフッ酸洗浄工程、その次にチャネルドープ領域形成工程の順番で用いたが、これはフッ酸洗浄工程がチャネルドープ領域形成の工程の前であり、かつ上記半導体層の表面が撥水するまで上記フッ酸洗浄が可能である工程位置ならばどこでもよい。

【0025】なお、実施の形態1では、半導体層の前駆体の形成方法としてプラズマCVD法を用いたが、減圧CVD法、スパッタ法、真空蒸着法、または光CVD法など、所定のシリコン膜を形成できるものならば何でもよい。

【0026】なお、実施の形態1では、半導体層の前駆体をレーザ照射による結晶化の前に熱処理をしているが、これは前駆体膜中の水素濃度が充分小さくレーザ照射時にシリコン膜の損傷がなければ熱処理を行なう必要はない。

【0027】なお、実施の形態1では、半導体層の前駆体を結晶化するためにXeClレーザ光を照射したが、これは前駆体を結晶化できる方法ならば何でもよく、KrFレーザ光やArイオンレーザ光等のレーザ照射や炉による熱アニール等でもよい。

【0028】なお、実施の形態1では、ゲート絶縁層の形成方法として正珪酸エチル($\text{Si}(\text{OC}_2\text{H}_5)_4$ 、テトラエトキシシラン)を含むガスを用いたプラズマCVD法を用いたが、これは所定の酸化シリコン膜を形成できるものならば何でもよく、テトラエチルシラン($\text{Si}(\text{C}_2\text{H}_5)_4$)やトリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)を含むガスを用いたプラズマCVD法や減圧CVD法、常圧CVD法等でもよい。

【0029】なお、実施の形態1では、ゲート電極としてTaを用いたが、金属ならば何でもよく、Al、Mo、Ti、Crやこれらを主成分とする合金金属等でもよい。

【0030】なお、実施の形態1では、所定の元素を導入する方法としてイオン・ドーピング法を用いたが、これは所定の元素を導入できる方法ならば何でもよく、イオン注入法やプラズマドーピング法等でもよい。

【0031】なお、実施の形態1では、ソース・ドレイン領域を形成するドナーとして燐を用いたが、これはnチャネルの薄膜トランジスタを作製する場合には砒素などドナーとして働くものならば何でもよく、pチャネルの薄膜トランジスタを作製する場合にはアルミニウムやほう素などアクセプターとして働くものならば何でもよい。

い。

【0032】なお、実施の形態1では、ソース電極およびドレイン電極としてチタンTiを用いたが、これは電極として働くものならば何でもよく、例えばクロムCr、タンタルTa、モリブデンMo、アルミニウムAl等の金属や不純物を大量にドーピングした多結晶シリコンやITO等の透明導電層等でもよい。

【0033】なお、実施の形態1では、層間絶縁層として常圧CVD法により形成した SiO_2 を用いたが、これは絶縁層として働くものならば何でもよく、例えば減圧CVD法、プラズマCVD法、スパッタ法、またはECR-CVD法等の成膜手法を用いて形成した窒化シリコンや酸化タンタル等でもよい。

【0034】なお、実施の形態1では、ガラス基板を用いたが、これは表面が絶縁性のものならば何でもよく、プラスチック基板や表面に酸化シリコンを形成した結晶シリコン基板や金属板等でもよい。

【0035】

【発明の効果】多結晶シリコン薄膜半導体層のチャネル領域に、直接不純物を注入する薄膜トランジスタにおいて、上記チャネル領域へ不純物を注入する工程の前に、フッ酸で洗浄する工程を導入することによって、大気中の汚染によって上記半導体層のチャネル領域へ入りこんでいる不純物が減少して、チャネルドープ領域の形成に伴うTFTのしきい値電圧のシフトが小さくなり、チャネルドープによる上記しきい値電圧のシフトのバラツキを抑えることができるという有効な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における薄膜トランジスタの作製工程の断面図

【図2】従来例における薄膜トランジスタの作製工程の断面図

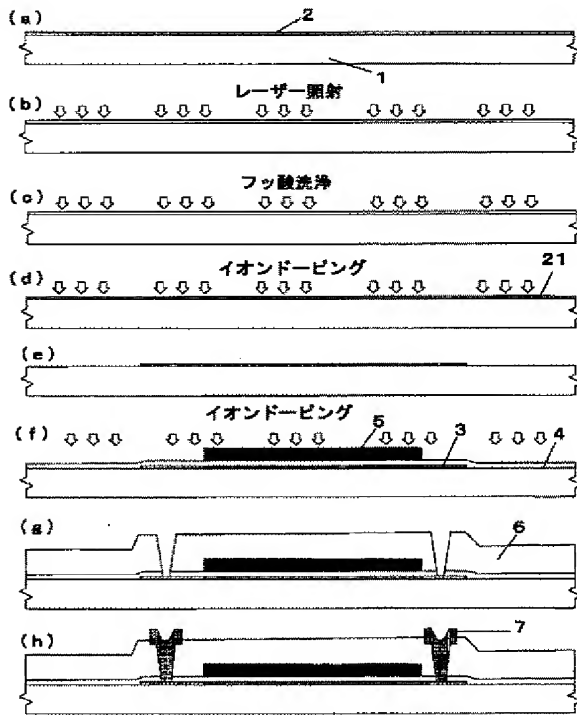
【図3】フッ酸洗浄の有るTFTとフッ酸洗浄の無いTFTとの間に於けるチャネルドープによる薄膜トランジスタ(=TFT)のしきい値電圧のシフト量のバラツキを比較した図

【図4】フッ酸洗浄を行わなかった場合とフッ酸洗浄を行った場合に於ける半導体層表面の状態を模式的に比較した図

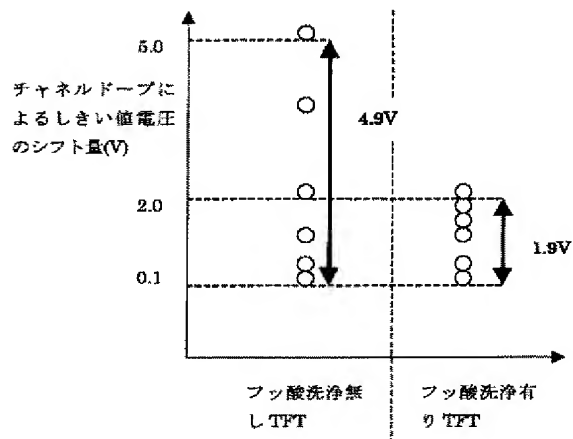
【符号の説明】

- 1 ガラス基板
- 2 半導体層
- 3 ソース・ドレイン領域
- 4 ゲート絶縁層
- 5 ゲート電極
- 6 層間絶縁層
- 7 ソース・ドレイン電極
- 21 チャネルドープ領域

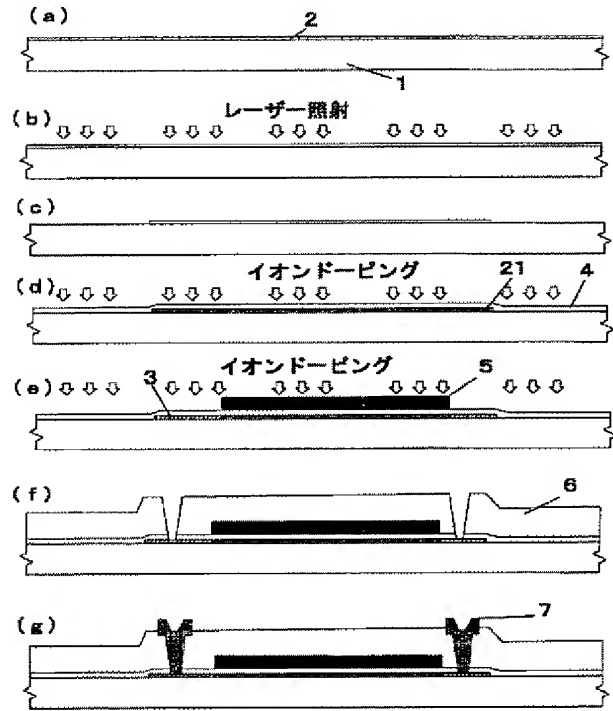
【図 1】



【図 3】

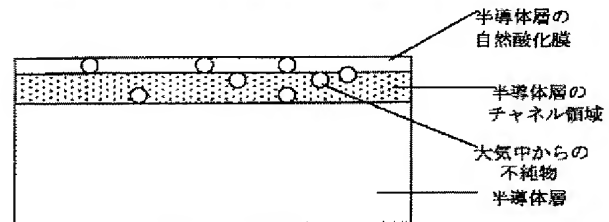


【図 2】

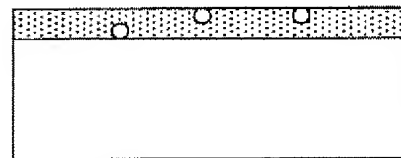


【図 4】

(a) フッ酸洗浄を行わなかった場合の半導体層表面の状態



(b) フッ酸洗浄を行った場合の半導体層表面の状態



フロントページの続き

Fターム(参考) 2H092 JA24 KA04 KA07 KA10 MA01
MA05 MA07 MA08 MA09 MA13
MA18 MA27 MA30 NA24 NA29
5F110 AA14 BB01 BB10 CC02 DD01
DD02 DD05 EE03 EE04 EE44
FF02 FF30 FF32 GG02 GG13
GG25 GG32 GG42 GG43 GG45
GG47 GG51 GG58 GG60 HJ01
HJ12 HJ13 HJ18 HJ23 HL03
HL04 HL07 HL08 NN02 NN23
NN24 NN34 NN35 PP03 PP29
PP35 PP38 QQ11